

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09284096 A**(43) Date of publication of application: **31.10.97**

(51) Int. Cl.

H03H 19/00**H03M 1/08****H03M 1/50****H03M 3/02**(21) Application number: **08098013**(22) Date of filing: **19.04.96**(71) Applicant: **HITACHI LTD**(72) Inventor: **KITA MASAHIITO
OKAZAKI TAKAO**(54) **SWITCHED CAPACITOR CIRCUIT**

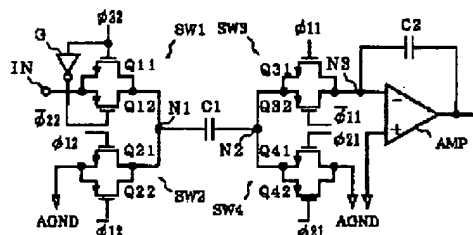
the switches SW1-SW4 is restricted to min.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

PROBLEM TO BE SOLVED: To permit the influence of feed-through noise to be min. and to improve the arithmetic precision of an integrating equipment, etc., and the converting precision of an A/D converter by setting the timing of the control clock of a switches so as to permit feed-through noise not to give difference to the arithmetic result of an operation amplifier.

SOLUTION: When the switches are turned off in order of SW4→SW1, a node N2 becomes floating and, then, the switch SW1 is turned off so that feed-through noise generated by the switch SW1 is not stored in sampling capacitance C1. When the switches are turned on in order of SW3→SW2, the potential of the node N2 is the same as that of the node N3 before turning on the switch SW2 so that feed-through noise generated at the time of turning on SW3 is fixed regardless of the charging voltage of sampling capacitance C1 and the variation of integrating precision owing to feed-through noise is prevented. Therefore, the influence of voltage dependence in feed-through noise which is generated in



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-284096

(43)公開日 平成9年(1997)10月31日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 H 19/00

9274-5 J

H 0 3 H 19/00

H 0 3 M 1/08

H 0 3 M 1/08

A

1/50

1/50

3/02

9382-5 K

3/02

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21)出願番号

特願平8-98013

(22)出願日

平成8年(1996)4月19日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 北 雅人

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 岡崎 孝男

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

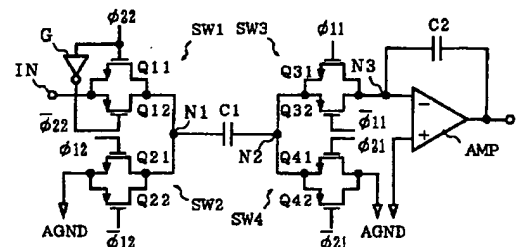
(74)代理人 弁理士 大日方 富雄

(54)【発明の名称】 スイッチドキャパシタ回路

(57)【要約】

【課題】 スイッチドキャパシタ積分回路において、積分結果に加算されるスイッチのフィードスルーノイズによる誤差の入力電圧依存性を低減する。

【解決手段】 正相、及び逆相積分型スイッチドキャパシタ回路のスイッチオン、オフのタイミングを工夫して、入力電圧によって変動するフィードスルーノイズが、積分ノード点 (オペアンプの(-)端子) に影響しないようにする。正相積分型の場合には、サンプリングから積分動作に移るときは、まず、サンプリング容量の対基準電位側のスイッチをオフし、入力電圧側のスイッチをオフする。次にサンプリング容量と積分ノード点を先に接続し、容量と基準電位を接続する。また、逆相積分型の場合には、積分動作に入るときサンプリング容量と積分ノード点を接続してからサンプリング容量と入力電圧側を接続し、積分動作が終わるときは、サンプリング容量と積分ノード点を切断してからサンプリング容量と入力電圧側を切断する。



【特許請求の範囲】

【請求項1】スイッチのオン、オフ時に生じるフィードスルーノイズがオペアンプの演算結果に誤差を与えないようにスイッチの制御クロックのタイミングを設定したことを特徴とするスイッチドキャパシタ回路。

【請求項2】入力信号を基準電位に対してサンプリングし、その結果をオペアンプを用いて積分する正相積分型スイッチドキャパシタ回路において、サンプリング時に動作するスイッチのサンプリング動作終了時に基準電位側のスイッチを先に切断しその後に入力信号側のスイッチを切断させるとともに、積分時に動作するスイッチの積分動作開始時にオペアンプの反転入力端子側スイッチを先に接続しその後基準電位側のスイッチを接続させるようにしたことを特徴とするスイッチドキャパシタ回路。

【請求項3】サンプリング容量を両端とも基準電位に接続させておき、積分時にその一方を入力信号に接続し、他方をオペアンプの反転入力端子に接続する逆相積分型スイッチドキャパシタ回路において、積分動作終了時に、オペアンプの反転入力端子側スイッチを切断しその後に入力信号側のスイッチを切断するとともに、積分動作開始時に、オペアンプの反転入力端子側スイッチを接続しその後に入力信号側のスイッチを接続させるようにしたこと特徴とするスイッチドキャパシタ回路。

【請求項4】請求項1、請求項2または請求項3に記載のスイッチは、Pチャンネル型MOSFETとNチャンネル型MOSFETとにより構成されたCMOSスイッチであることを特徴とするスイッチドキャパシタ回路。

【請求項5】上記スイッチの制御クロックは、基準となるクロックとそれを遅延させて生成したクロックであることを特徴とする請求項4に記載のスイッチドキャパシタ回路。

【請求項6】アナログ積分器と、該アナログ積分器の出力をD/A変換するD/A変換器と、該D/A変換器の出力と入力信号との差をとって上記アナログ積分器に供給する $\Delta-\Sigma$ 型A/D変換器であって、上記アナログ積分器が請求項1、請求項2、請求項3、請求項4または請求項5に記載のスイッチドキャパシタ回路により構成されていることを特徴とする $\Delta-\Sigma$ 型A/D変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路技術さらにはMOSトランジスタと容量とからなるスイッチドキャパシタ回路におけるスイッチのフィードスルーノイズ誤差の低減に適用して有効な技術であり、例えばスイッチドキャパシタ回路を用いた積分器に利用して有効な技術に関する。

【0002】

【従来の技術】抵抗を含む回路を半導体集積回路化するにあたり抵抗をMOSFETからなるスイッチとキャパ

シタとに置き換えたスイッチドキャパシタ回路がある。スイッチドキャパシタ回路においては、スイッチMOSFETがオン、オフ動作されるときにそのゲートとソース、ドレインとの間に存在する寄生容量を介してソース、ドレイン側に伝わるいわゆるフィードスルーノイズが問題となる。

【0003】従来、スイッチドキャパシタ回路を用いた積分器におけるフィードスルーノイズによる誤差の低減に関しては、特公平6-91419号公報に示されるものがある。この先願発明は、回路がサンプリング状態から積分状態に移行する時に、オフするスイッチのタイミング（順序）を考慮して、フィードスルーノイズ誤差の影響を低減させるものである。

【0004】

【発明が解決しようとする課題】しかしながら、この技術には2つの欠点がある。第1に、フィードスルーノイズは、そのスイッチMOSFETのソース、ドレイン間にかかる電圧によって大きさが変動するという特性があるにもかかわらず、前記先願発明ではスイッチをオフするタイミングのみ考慮し、オンするタイミングに関しては何ら対処していないため、フィードスルー誤差の電圧依存性を最小限に抑えられないこと。第2に、前記先願発明では、周期が同一でデューティの異なる2つのクロックが必要になるため、回路が複雑になることである。

【0005】スイッチドキャパシタ回路を用いて演算精度の高い積分器やA/D変換器を実現するには、フィードスルーノイズの影響を無視することは不可能である。このノイズがスイッチ両端の電圧によらず、積分結果に一定に加算されるようにすれば、スイッチドキャパシタ回路で発生するフィードスルーノイズによる誤差を最小限に抑えることができる。

【0006】この発明の目的は、フィードスルーノイズの影響を最小限にできるスイッチドキャパシタ回路を実現し、もって積分器等の演算精度やA/D変換器の変換精度を向上させることにある。

【0007】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】上記目的を実現するために、本発明では、スイッチドキャパシタ回路のスイッチをオフするタイミングに加えて、スイッチをオンするタイミングについても考慮して、スイッチのオン、オフ時に生じるフィードスルーノイズがオペアンプの演算結果に誤差を与えないようにスイッチの制御クロックのタイミングを設定するようにしたものである。

【0009】具体的には、入力信号を基準電位（アナロググランド）に対してサンプリングし、その結果をオペアンプを用いて積分する正相積分型スイッチドキャパシタ回路の場合、サンプリング動作終了時には、アナログ

グランド側のスイッチが切断された後に入力信号側のスイッチが切断され、また、積分動作開始時には、オペアンプの反転入力端子側のスイッチが接続された後にアナロググランド側のスイッチが接続されるようにした。

【0010】また、サンプリング容量を両端とも基準電位に接続しておき、積分時に容量の一方の端子を入力端子に接続し、他方の端子をオペアンプの反転入力端子に接続する逆相積分型スイッチドキャパシタ回路の場合、積分動作終了時には、オペアンプの反転入力端子側のスイッチが切断された後に入力信号側のスイッチが切断され、積分動作開始時には、オペアンプの反転入力端子側のスイッチを接続した後に入力信号側のスイッチが接続されるようにする。

【0011】上記した手段によれば、フィードスルーノイズ誤差の電圧依存性を最小限に抑えることができ、また、スイッチをオンする順序とオフする順序が同じになるため、必要な2種類のスイッチ制御用クロックは、一つのクロックからこれを単純に遅延させることで作ることが可能となる。

【0012】

【発明の実施の形態】図1は、本発明が適用された正相積分型スイッチドキャパシタ回路の一実施例を示す。この実施例のスイッチドキャパシタ回路（積分器）は、アナログ信号が入力される入力端子INとノードN1の間に接続されたスイッチSW1と、ノードN1と基準電位としてのアナロググランドAGNDとの間に接続されたスイッチSW2と、オペアンプAMPと、オペアンプAMPの反転入力端子（一端子）とノードN2との間に接続されたスイッチSW3と、ノードN2とAGNDとの間に接続されたスイッチSW4と、上記ノードN1とノードN2との間に接続されたサンプリング容量C1と、オペアンプAMPの出力端子と反転入力端子（一端子）との間に接続された積分容量C2とから構成されている。

【0013】また、上記各スイッチSW1～SW4は、それぞれNチャンネルMOSFETとPチャンネルMOSFETとが並列に接続されたCMOSスイッチで構成されており、各スイッチのペアのMOSFETは、そのゲート端子に逆相の制御クロックが印加されることで同時にオン・オフ動作される。

【0014】すなわち、上記スイッチSW1は、Nチャンネル型MOSFET Q11とPチャンネル型MOSFET Q12とで構成されており、各々そのゲート端子に逆相の制御クロック $\phi 22$ と $\phi 22$ が印加されることで同時にオン・オフ動作される。また、上記スイッチSW2は、Nチャンネル型MOSFET Q21とPチャンネル型MOSFET Q22とで構成されており、各々そのゲート端子に逆相の制御クロック $\phi 12$ と $\phi 12$ が印加されることで同時にオン・オフ動作される。

ル型MOSFET Q31とPチャンネル型MOSFET Q32とで構成されており、各々そのゲート端子に逆相の制御クロック $\phi 11$ と $\phi 11$ が印加されることで同時にオン・オフ動作される。上記スイッチSW4は、Nチャンネル型MOSFET Q41とPチャンネル型MOSFET Q42とで構成されており、各々そのゲート端子に逆相の制御クロック $\phi 21$ と $\phi 21$ が印加されることで同時にオン・オフ動作される。なお、上記制御クロック $\phi 11$ 、 $\phi 12$ 、 $\phi 21$ 、 $\phi 22$ は、それぞれ $\phi 11$ 、 $\phi 12$ 、 $\phi 21$ 、 $\phi 22$ をインバータを用いて反転させることで得られる。図1にはこのうちクロック $\phi 22$ を反転するインバータGが代表的に示されている。

【0016】図2には図1のスイッチドキャパシタ回路におけるサンプリング時および積分動作時の各スイッチSW1～SW4の状態が、また図5に上記制御クロック $\phi 11$ ～ $\phi 22$ のタイミングが示されている。図5において、T1はサンプリング期間、T2は積分期間である。 $\phi 1$ 、 $\phi 2$ は基準となるクロックである。サンプリング期間T1中は制御クロック $\phi 21$ 、 $\phi 22$ がハイレベル、 $\phi 11$ 、 $\phi 12$ がロウレベルにされて、スイッチSW1～SW4は、図2(a)に示すような状態にされる。これによって、サンプリング容量C1が入力端子INとアナロググランドAGNDとの間に接続されて、そのとき入力端子INに入力されている信号の電位に応じた電荷が容量C1に蓄積される。

【0017】また、積分期間T2中は制御クロック $\phi 11$ 、 $\phi 12$ がハイレベル、 $\phi 21$ 、 $\phi 22$ がロウレベルにされて、スイッチSW1～SW4は図2(b)に示すような状態にされる。これによって、サンプリング容量C1がアナロググランドAGNDとオペアンプAMPの反転入力端子との間に接続されて、サンプリング容量C1に蓄積されていた電荷が積分容量C2に転送されてオペアンプによる積分動作が行なわれる。

【0018】図1の正相積分型回路は、入力端子INから入力される信号の電位によってノードN1の電位は変動するが、ノードN2は、常に基準電圧（アナロググランドAGND）と同電位である。積分結果にスイッチのフィードスルーノイズによる誤差が表われないようにするには、ノードN3にフィードスルーノイズによる影響を与えないようにする必要がある。よって、この実施例ではスイッチSW1、SW4のオフタイミングおよびスイッチSW2、SW3のオンタイミングが重要となる。

【0019】スイッチSW1、SW4をオフする動作は、サンプリング→積分のときに起こる。この際に、スイッチSW4→SW1の順にオフすると、先ずノードN2がフローティングになってからスイッチSW1がオフするので、サンプリング容量C1にスイッチSW1で発生したフィードスルーノイズは蓄積されない。逆に、ス

基準電位に接続されている状態でスイッチSW1がオフされるため、スイッチSW1で発生したフィードスルーノイズがサンプリング容量C1に蓄えられてしまう。

【0020】しかるにこの実施例では、図5(e),

(f)に示すように、制御クロック $\phi 22$ のハイレベルからロウレベルへの変化が、制御クロック $\phi 21$ のハイレベルからロウレベルへの変化よりも Δt だけ遅れるようにされている。そのため、スイッチSW1, SW4はSW4 \rightarrow SW1の順にオフされ、サンプリング容量C1にスイッチSW1で発生したフィードスルーノイズが蓄積されないようになる。

【0021】なお、この実施例では、制御クロック $\phi 22$ のロウレベルからハイレベルへの変化も、制御クロック $\phi 21$ のロウレベルからハイレベルへの変化よりも Δt だけ遅れるようにされている。つまり、スイッチSW4 \rightarrow SW1の順にオンするようにされているが、スイッチSW1のオン(サンプリング動作開始)の際にフィードスルーノイズが発生して容量C1に蓄積されても直ぐに入力信号に応じたレベルに変化するので、積分動作へのフィードスルーノイズによる影響はない。従って、この実施例では、制御クロック $\phi 22$ はハイレベルへの変化もロウレベルへの変化も制御クロック $\phi 21$ よりも Δt だけ遅れていて良く、制御クロック $\phi 22$ は制御クロック $\phi 21$ を単純に Δt だけ遅延させるだけで形成することができる。

【0022】一方、スイッチSW2, SW3がオンする動作は、サンプリング積分のときに起こる。この際に、スイッチSW3 \rightarrow SW2の順にオンすると、スイッチSW2のオン前はノードN2とN3は同電位(アナロググランド)であるため、SW3のオンの際に発生するフィードスルーノイズはサンプリング容量C1の充電電圧にかかわらず一定である。逆に、スイッチSW2 \rightarrow SW3の順にオンすると、ノードN1の電位変動(入力電位からグランド電位への変化)がサンプリング容量C1を介してノードN2に伝わった後に、スイッチSW3によってノードN2とN3が接続される。そのため、ノードN2はサンプリングされた入力電位に応じた電圧となり、ノードN2とN3は同電位とならないのでスイッチSW3のオン時に電圧依存性をもったフィードスルーノイズが発生して積分時に加算されてしまい、積分結果の精度がばらついてしまう。

【0023】しかるにこの実施例では、図5(c),

(d)に示すように、制御クロック $\phi 12$ のロウレベルからハイレベルへの変化が、制御クロック $\phi 11$ のロウレベルからハイレベルへの変化よりも Δt だけ遅れるようにされている。そのため、スイッチSW2, SW3はSW3 \rightarrow SW2の順にオンされるため、発生するフィードスルーノイズはサンプリング容量C1の充電電圧にかかわらず一定となり、フィードスルーノイズによる積分

【0024】なお、この実施例では、制御クロック $\phi 12$ のハイレベルからロウレベルへの変化も、制御クロック $\phi 11$ のハイレベルからロウレベルへの変化よりも Δt だけ遅れるようにされている。つまり、スイッチSW3 \rightarrow SW2の順にオフするようにされているが、スイッチSW3のオフ(積分動作終了)の際にフィードスルーノイズが発生してもノードN1, N2, N3は共にグランド電位であるので、発生するフィードスルーノイズは一定であり積分結果への影響はない。従って、制御クロック $\phi 12$ のロウレベルからハイレベルへの変化もハイレベルからロウレベルへの変化も制御クロック $\phi 11$ より Δt だけ遅れていて良く、制御クロック $\phi 12$ は制御クロック $\phi 11$ を単純に Δt だけ遅延させるだけで形成することができる。

【0025】本発明の効果を確認するため、シミュレーションを実施した。図1の回路において、基準電圧(AGND)を2.1V、容量C1とC2の比を1:2とし、入力電圧3.3V、2.7V、2.1V、1.5V、0.9Vについて、制御クロック $\phi 11 \sim \phi 22$ を図6(A), (B), (C)に示すようなタイミングに設定してシミュレーションを行い、積分誤差を比較した。なお、図6において、(A)は本発明のタイミング、(B)は従来(特公平6-91419)のタイミング、(C)は(B)においてスイッチオンタイミングを本発明と逆の方向へずらしたときのタイミングである。

【0026】シミュレーションの結果は、入力電圧3.3V \sim 0.9Vの5点での積分結果の相対誤差ワースト値が(A)では0.5mV、(B)では0.7mV、

(C)では5.1mVとなった。これより、(A),

(B)の間に大きな違いはなく結果も極めて良好であるが、(C)において大きく劣化している事が確認できる。(B)と(C)は、スイッチオン(すなわち制御クロックの立ち上り)のタイミングが同時か、やや悪い方へずれているかの違いである。LSIへ実装したときに配線容量等、デバイス特性の違いからクロックを完全同時に到達させることは極めて困難である。つまり、クロックが(B)のように設定されている場合には、積分器に到達したクロックのタイミングが(C)のようになって、回路の精度が低下してしまうことが充分考えられる。従って、少なくともクロック発生回路では、制御クロックのタイミングを(A)に示すタイミングに設定しておくのが良い。また、以上の観点から、クロック $\phi 12$ と $\phi 22$ の $\phi 11$, $\phi 21$ に対する遅延量 Δt は、クロック発生回路もしくはクロック入力端子から積分器までのクロック到達時間の最大ばらつきよりも若干大きくなるように設定しておくのが望ましい。 Δt は例えばインバータのような論理回路のゲート遅延時間を利用して作ることができる。

【0027】図3は、本発明が適用された逆相積分型ス

逆相積分型スイッチドキャパシタ回路の構成は、図1に示す正相積分型スイッチドキャパシタ回路の構成と同一である。異なるのは、図1の実施例ではスイッチSW1が制御クロック $\phi 22$ 、 $\phi 22$ によってまたスイッチSW2が制御クロック $\phi 12$ 、 $\phi 12$ によってそれぞれオン・オフされるのに対し、図3の実施例の回路ではスイッチSW1が制御クロック $\phi 12$ 、 $\phi 12$ によってまたスイッチSW2が制御クロック $\phi 22$ 、 $\phi 22$ によってそれぞれオン・オフされるようにされている点のみである。各制御クロック $\phi 11 \sim \phi 22$ のタイミングは図1の場合と同様であり、図5に示されているタイ

ミングのクロックが用いられる。
 【0028】図4には図3のスイッチドキャパシタ回路におけるサンプリング時および積分動作時の各スイッチSW1～SW4の状態が示されている。図5において、T1はリセット期間、T2は積分期間である。リセット期間T1中は制御クロック $\phi 21$ 、 $\phi 22$ がハイレベル、 $\phi 11$ 、 $\phi 12$ がロウレベルにされて、スイッチSW1～SW4は、図4(a)に示すような状態にされる。これによって、サンプリング容量C1の両端子がアナロググランドAGNDに接続されて、容量C1の電荷がリセットされる。

【0029】また、積分期間T2中は制御クロック $\phi 11$ 、 $\phi 12$ がハイレベル、 $\phi 21$ 、 $\phi 22$ がロウレベルにされて、スイッチSW1～SW4は図4(b)に示すような状態にされる。これによって、サンプリング容量C1が入力端子INとオペアンプAMPの反転入力端子との間に接続されて、入力端子INに入力されている信号の電位に応じた電荷がサンプリング容量C1および積分容量C2に充電されてオペアンプによる積分動作が行なわれる。

【0030】逆相積分回路の場合、問題となるのは、スイッチSW1、SW3のオン、オフのタイミングである。すなわち、スイッチSW1、SW3がオンするとき、スイッチSW3→SW1の順であれば、ノードN2、N3は、同電位であり発生するフィードスルーノイズは一定である。逆に、スイッチSW1→SW3の順であると、ノードN1の電位変動が容量C1を介してノードN2に伝わった後、ノードN2とN3が接続されるため、電圧依存性をもったフィードスルーノイズが積分時に加算されてしまう。

【0031】一方、スイッチSW1、SW3がオフするとき、スイッチSW3→SW1の順であれば、ノードN2とN3は同電位であり、発生するフィードスルーノイズは一定である。逆に、スイッチSW1→SW3の順であると、スイッチSW1で発生する電圧依存性をもったフィードスルーノイズが、容量C1とスイッチSW3を介してノードN3に伝わり、積分結果に加算されてしまう。考慮しなかったスイッチSW2、SW4は、それがオン・オフされる際にSW1とSW3がオフである

め、SW2とSW4のいずれが先にオンまたはオフしても積分ノードN3にフィードスルーノイズによる影響は全くない。

【0032】本実施例の逆相積分回路においては、図5に示されているタイミングのクロック $\phi 11 \sim \phi 22$ を用いることにより、クロック $\phi 12$ はそのハイレベルへの変化タイミングもロウレベルへの変化タイミングもクロック $\phi 11$ よりも Δt だけ遅れているので、SW3→SW1の順でオンしSW3→SW1の順でオフするため、スイッチSW1、SW3がオンするときもオフするときもフィードスルーノイズによる積分精度のばらつきが防止される。

【0033】また、上記したようにスイッチのタイミングを設定すると、スイッチのオンとオフの順が同じになるので、単純にクロックを遅延させるだけで、各モードに必要な2種類のスイッチ制御クロックを生成することができる。なお、スイッチSW2を制御するクロックとして $\phi 22$ の代わりにスイッチSW4と同じクロック $\phi 21$ を用いても良し、 $\phi 22$ をSW2とSW4に共通に用いても良い。

【0034】図7に、本発明に係るスイッチドキャパシタ回路をオーバーサンプリング2次 $\Delta-\Sigma$ 型A/D変換器に適用した場合の実施例が示されている。

【0035】オーバーサンプリング型のA/D変換器は、標本化定理に基づくナイキストサンプリング周波数(信号周波数帯域の2倍周波数)の数十～数百倍の高い周波数でサンプリングすることで量子化雑音の周波数分布を帯域外に分散させ、帯域外雑音を後段のデシメータ等のデジタルフィルタで除去することによって高精度の変換結果を得ることができる。 $\Delta-\Sigma$ 型A/D変換器では、量子化雑音を高い周波数帯域に押し上げるノイズシェーピング効果があるため、さらに高いS/N特性が得られる。ノイズシェーピング効果は、積分次数が高くなるほど急峻となるが、2次 $\Delta-\Sigma$ 型が一般的である。

【0036】図7に示されている2次 $\Delta-\Sigma$ 型A/D変換器は、端子61から入力されたアナログ信号が、1サンプリング前のデジタル信号出力結果をローカルD/A604でアナログに戻したものと減算を行なった後、積分器601で1回目のアナログ積分を実施する。続いてこの積分出力と、前述の1サンプリング前のデータとの減算をおこなった後、積分器602で2回目のアナログ積分を実施する。この結果を回路603のコンパレータで判定し、デジタル信号出力を端子62より得ることができる。605および606は減算器である。図7に示されている積分器601と減算器605の機能を有する回路や積分器602と減算器606の機能を有する回路として、図1に示されている積分器にスイッチドキャパシタ608を追加した図8に示すような回路が用いられる。

【0037】上記積分器601と602は、一方がサ

プリング動作しているときは他方は積分動作を行なうように制御される。また、積分器601、602で使用される制御クロック $\phi 11 \sim \phi 22$ を発生するクロック発生回路607が設けられている。デシメータ等のデジタルフィルタは、端子62の後段に接続される。

【0038】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0039】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である積分器に適用した場合について説明したが、この発明はそれに限定されるものでなく、スイッチドキャパシタ回路を使用したアナログ回路一般に利用することができる。

【0040】

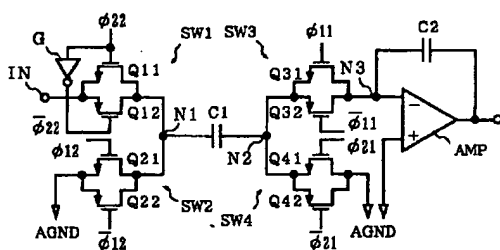
【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0041】すなわち、本発明によって、積分型スイッチドキャパシタ回路のスイッチで発生するフィードスルーノイズの電圧依存性が、積分結果に及ぼす影響を最低限に抑えることができる。

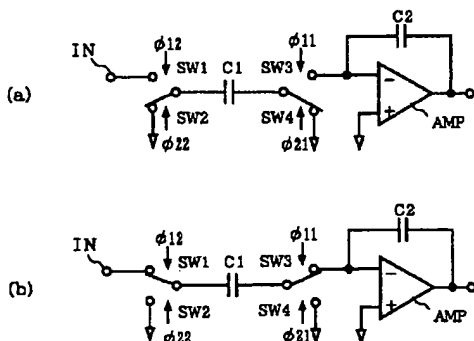
【図面の簡単な説明】

【図1】本発明を適用した正相積分型スイッチドキャパシタ回路の一実施例を示す回路図である。

【図1】



【図4】



【図2】図1の正相積分型スイッチドキャパシタ回路のサンプリング動作時および積分動作時の各スイッチの状態を示す動作説明図である。

【図3】本発明を適用した逆相積分型スイッチドキャパシタ回路の一実施例を示す回路図である。

【図4】図2の逆相積分型スイッチドキャパシタ回路のサンプリング動作時および積分動作時の各スイッチの状態を示す動作説明図である。

【図5】実施例のスイッチドキャパシタ回路に用いられるスイッチ制御用クロックのタイミングチャートである。

【図6】比較シミュレーションに用いたクロックのタイミングチャートである。

【図7】本発明に係るスイッチドキャパシタ回路をオーバーサンプリング2次 $\Delta-\Sigma$ 型A/D変換器に適用した場合の実施例を示す回路構成図である。

【図8】図7のオーバーサンプリング2次 $\Delta-\Sigma$ 型A/D変換器を構成する積分器の構成例を示す回路図である。

【符号の説明】

IN 入力端子

SW1~SW4 スイッチ

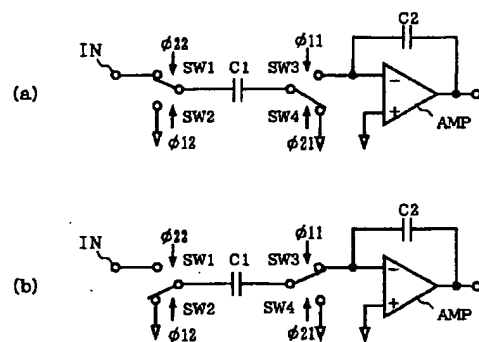
C1 サンプリング容量

C2 積分容量

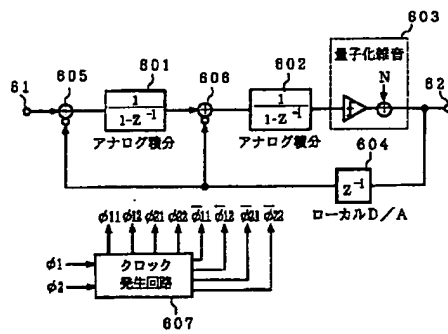
AMP オペアンプ

$\phi 11 \sim \phi 22$ 制御クロック

【図2】



【図7】



【図8】

